

ナノポーラス Cu を用いた次世代接合材料の開発

森 優太郎

Development of Next-Generation Bonding Technology with Nanoporous Cu

Yutaro MORI

Abstract

This report shows a new process for Cu-Cu direct bonding using nanoporous Cu (NP-Cu). NP-Cu was formed by electroplating. It was confirmed that NP-Cu compresses under low pressure and can absorb surface roughness and height variation of Cu pillars. In the bondability evaluation, it was found that the shear strength was improved by using a sintering aid to promote sintering and form a dense film. In the reliability evaluation, NP-Cu demonstrated excellent performance under thermal cycling test at $-45\text{ }^{\circ}\text{C}$ to $125\text{ }^{\circ}\text{C}$ and electromigration test at $4500\text{ A}/\text{dm}^2$ and $150\text{ }^{\circ}\text{C}$.

キーワード：ポーラスめっき，銅めっき，接合材料，焼結，ナノポーラス

1. はじめに

近年，情報通信機器の高性能化に伴い，半導体の小型化・高密度化が進んでいる。これに対応するため，3D実装や2.5D実装，2.nD実装など様々なパッケージング技術の研究が盛んに行われている¹⁾。半導体チップと基板間の接合はCuピラーとはんだキャップを組み合わせたフリップチップボンディングが主流である。しかし，はんだによる実装では，隣接するバンプとのブリッジングによる短絡，はんだ量減少に伴う金属間化合物の制御の難化，熱サイクル時のボイド発生による信頼性の低下などの課題があり，小径化・狭ピッチ化が困難である^{2,3)}。そのため，はんだを使用しないCu-Cu接合やハイブリッドボンディングの実現が重要となる(図1)⁴⁾。

Cu-Cu接合は上記課題が生じないことに加え，はんだと比べ電気伝導性が優れるといった利点がある。一方で，接合にはCuピラーの表面粗さや高さばらつきを除くため，平坦化および表面の清浄化が必要であり，従来のプロセスにないChemical Mechanical Polishing (CMP) やプラズマ活性化処理といった高度なプロセスが必要となり，

スループットやコストの面で課題が生じる(図2(a))⁵⁾。

そこで，Cuピラー上に低荷重で変形が容易なナノポーラスCu (NP-Cu)を形成することで，Cuピラーの表面粗さや高さばらつきを吸収し接合する新規プロセスの開発に取り組んだ。このプロセスはNP-Cuをはんだと同様に電気めっきにより形成可能であり，CMPやプラズマ活性化処理を必要としないためスループットやコストの面で有利となる(図2(b))。

本報告では一つ目にNP-Cuの形成方法，二つ目に接合

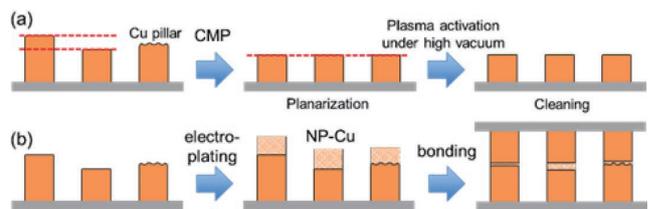


図2 Cu-Cu接合プロセス (a) CMP使用，(b) NP-Cu使用

Cu-Cu bonding process using (a) CMP and plasma activation, (b) NP-Cu

	C4	Cu pillar	TCB ^{*1}	SLID ^{**2} bonding	TCB ^{*1} / Solderless bonding	Hybrid bonding
Image						
Materials	Solder	Cu+Solder	Cu+Solder	Cu+Solder i.e., low melting point metal	Cu	Cu + SiO ₂
Pitch	>130μm	>60μm	>40μm	>20μm	<20μm	<20μm

図1 接合技術のロードマップ⁶⁾
Roadmap of bonding technique for interconnect

条件（焼結助剤、圧力、温度）を変量した際のシエラ強度への影響、三つ目にNP-Cu接合体の信頼性評価として温度サイクル試験およびエレクトロマイグレーション試験の結果を記載する。

2. 実験方法

2.1 NP-Cuの形成

導通のためのシード層がスパッタリングされたSiウエハ上にバンプパターンをフォトリソグラフィにて形成した。次に電気めっきによりCuピラーを5 μm 形成し、その上にNP-Cuを数 μm 形成した。NP-Cuめっきは硫酸Cuと添加剤としてアゾール化合物を含む溶液を使用し、1 A/dm²~3 A/dm²の電流密度で行った。その後、フォトレジストを剥離し、シード層をエッチングすることでバンプ間を絶縁した。最後にSiウエハを所定のチップサイズに切断し、ダイボンダにて接合した（図3）。

2.2 各種評価

NP-Cuの断面像は樹脂埋め・研磨により断面を出し、走査電子顕微鏡（SEM）にて観察した。膜の疎密度は白色干渉顕微鏡から高さを測定し、通常めっき膜の高さと比較することで評価した（式（1））。

$$P = (1 - a/a') \times 100 \quad (1)$$

P：疎密度（数値が高いほど疎な膜を示す）

a：同通電量でめっきした際のCuめっき膜の理論高さ

a'：NP-Cuの高さ

接合性は断面観察とボンドテスターによるシエラ強度で評価した。信頼性はデジチェーン基板を使用することで評価した。

3. 結果と考察

3.1 NP-Cuの疎密度制御

図4に電気めっきにより形成したNP-Cuの断面SEM像を示す。下地から樹状に成長することでナノポラス構造が形成される様子が見られた。NP-Cuを接合材として使用するにあたり変形のしやすさに関わる疎密度の制御が重要となる。そこで、めっき条件を変量することで疎密度の制御を試みた。図5に電流密度を変量した際の

疎密度を示す。電流密度の上昇に伴いより疎な膜が形成されることが分かった。これは電流密度が高いほど、結晶化過電圧が大きくなり、沿面成長に比べ核生成が優位になることで縦方向の成長が促進されたためと考える。このように電流密度により疎密度を制御することに成功した。

3.2 接合条件の検討

NP-Cuの接合性を調べるため、NP-CuバンプとCuピラーを接合し、シエラ強度を測定した。接合条件は窒素雰囲気中、300℃、20 MPaで1分とした。また、比較としてNP-Cuを用いずにCuピラーのみでCu-Cu接合を試みた。その結果、NP-Cuでは接合が確認されたが、Cuピラーのみでは接合しなかった。図6(a)にシエラ強度の結果を示す。シエラ強度は5 MPa程度と非常に低い値となった。図7(a)、(b)に接合前後の断面像を示す。加圧・加熱によりNP-Cuが圧縮しているものの、焼結が進んでいない様子が見られた。このように焼結が不十分であることがシエラ強度の低い理由と考えられる。焼結が進行しない要因として、NP-Cu膜の表面が酸化され焼結

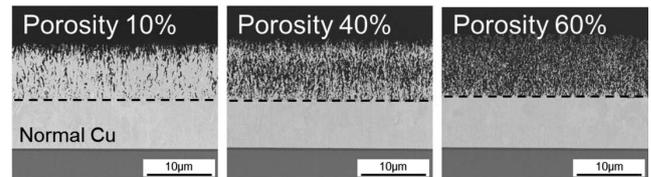


図4 疎密度の異なるNP-Cuの断面SEM像
Cross-sectional SEM images of NP-Cu with different porosity

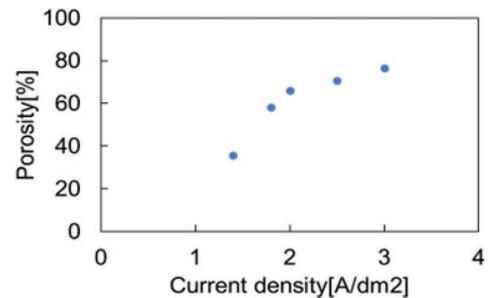


図5 電流密度による疎密度の依存性
Porosity vs. current density plots

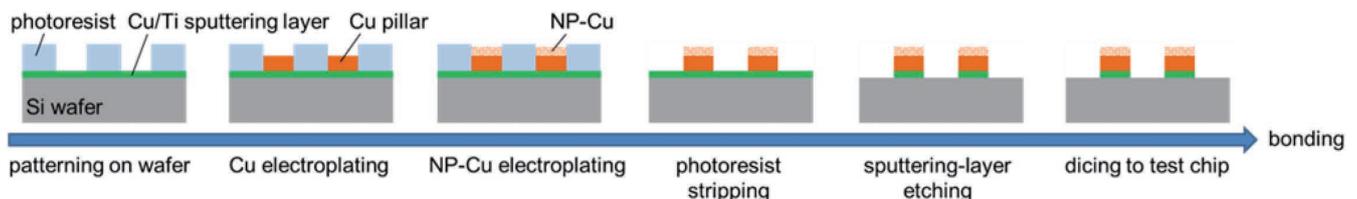


図3 NP-Cuバンプの形成プロセス
Formation process of NP-Cu bumps

が阻害されていると考えられる。そこで、焼結助剤を接合前に塗布することで接合時に酸化膜を除去し焼結の促進を試みた。2種類の焼結助剤 A または B をバンプ上に塗布し、同条件で接合後、シヤ強度を評価した。その結果、焼結助剤 A、B どちらを塗布した場合でも焼結助剤を使用しなかったサンプルと比較し 30 MPa 以上と十分に高いシヤ強度が得られた (図 6)。また、焼結助剤 A に比べ B のシヤ強度が高い理由は A より B の還元力が強いと考えられる。次に焼結助剤の有無で接合後の断面を比較すると、焼結助剤を使用したサンプルは焼結助剤を使用していないサンプルと比べ、焼結が促進され、より緻密な膜が形成している様子が見られた (図 7)。これより、焼結助剤を使用し酸化膜を除去することで緻密な膜が形成し、シヤ強度が大きく向上することが分かった。

次に接合圧力と温度を変量しシヤ強度から接合条件を検討した。焼結助剤 B を使用し、接合温度を 300℃ に固定し、圧力を 5 MPa, 10 MPa, 20 MPa, 30 MPa に変量し接合した。圧力 10 MPa 以上でシヤ強度は 40 MPa 以上と高い値を示した (図 8(a))。一方で 5 MPa 以下ではシヤ強度は 20 MPa 以下と比較的低い値であった。これはポーラス膜を十分に圧縮できず、疎で脆い状態にあるため強度が低いと考えられる。次に圧力を 20 MPa に

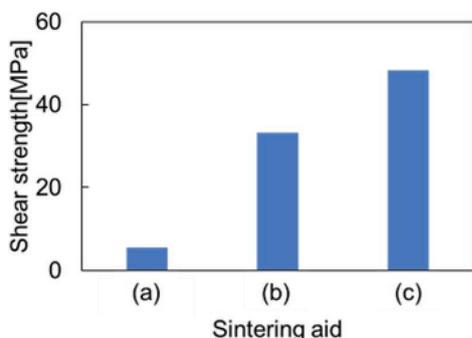


図 6 焼結助剤によるシヤ強度依存性 (a) 焼結助剤なし, (b) 焼結助剤 A, (c) 焼結助剤 B

The result of share strength to different sintering aid: (a) none, (b) sintering aid A, (c) sintering aid B

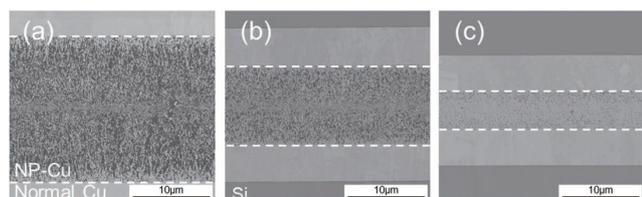


図 7 NP-Cu の断面 SEM 像 (a) 接合前, (b) 焼結助剤なしで接合, (c) 焼結助剤 B を使用し接合

Cross-sectional SEM images of NP-Cu (a) before bonding, (b) after bonding not using sintering aid, (c) after bonding using sintering aid A

固定し、温度を 240℃, 260℃, 280℃, 300℃ に変量し接合した。その結果、温度が高いほどシヤ強度は増加し 300℃ で 40 MPa 以上となった (図 8(b))。これは温度が高いほど粒界拡散 (焼結) が促進され密な膜を形成するためと考えられる。

3.3 信頼性評価

図 9 にデージーチェーン基板を示す。接続するバンプは直径 75 μm, 256 本で設計した。この基板を用い、信頼性試験の中でも重要である温度サイクル試験およびエレクトロマイグレーション試験を実施した。top 側に NP-Cu を形成し、bottom 側の Cu ピラーと窒素雰囲気下、20 MPa, 300℃, 1 分間の条件で接合した。また、サンプルは試験時の酸化を防止するためアンダーフィルを塗布し封止処理を行った。温度サイクル試験の条件は -45℃ ~ 125℃, さらに時間 15 分とし、エレクトロマイ

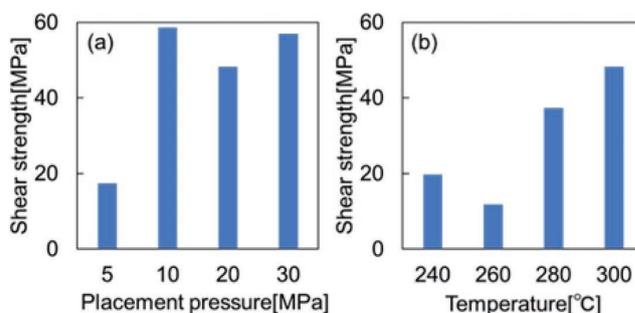


図 8 接合条件を変量した際のシヤ強度 (a) 接合圧力, (b) 接合温度

The result of share strength to different bonding condition: (a) placement pressure, (b) temperature

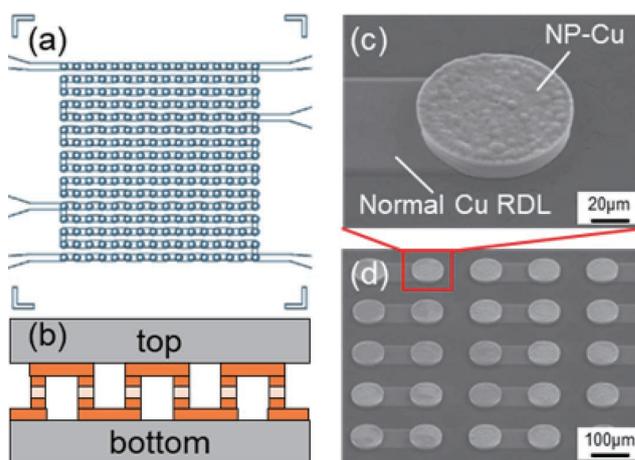


図 9 (a) デージーチェーン基板, (b) デージーチェーン基板の断面図, (c) (d) Cu 再配線上の NP-Cu の SEM 像

(a) Design of daisy-chain board, (b) cross-sectional image of daisy-chain board, (c), (d) SEM images of NP-Cu on Cu redistribution layer (RDL)

グレーション試験の条件は 150℃にて通電量 4500 A/dm²とした。

図 10 に温度サイクル試験, 図 11 にエレクトロマイグレーション試験の結果を示す。いずれも試験前後の電気

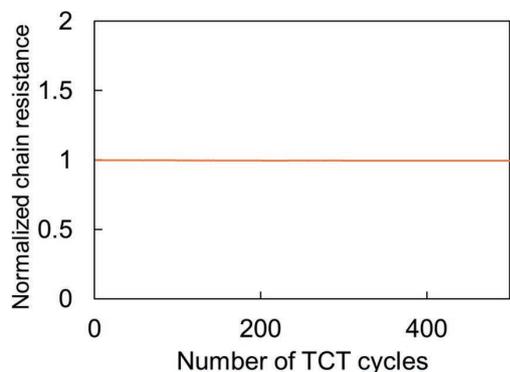


図 10 温度サイクル試験の結果
Result of thermal cycling test

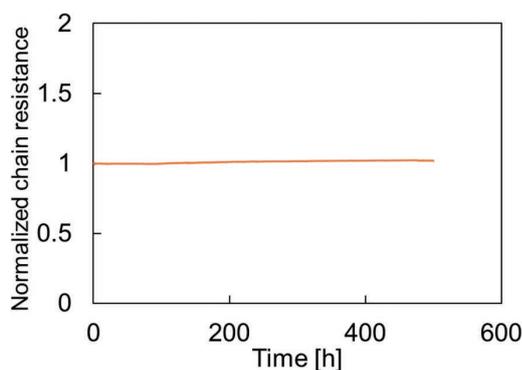


図 11 エレクトロマイグレーション試験の結果
Result of electromigration test

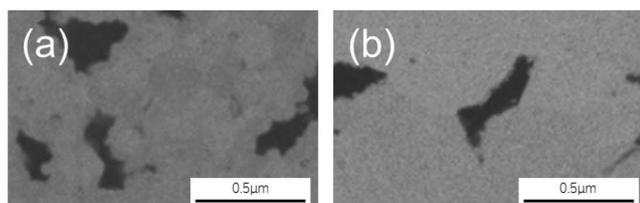


図 12 温度サイクル試験前後の断面 SEM 像 (a) 試験前, (b) 試験後

Cross-sectional SEM images of (a) before and (b) after thermal cycling test

抵抗の変化率は 10%以下であり, 良好な信頼性を示した。また, 図 12 には温度サイクル試験前後の断面 SEM 像を示す。試験により剥離やクラックなどが観察されていないことから断面 SEM 像からも良好な信頼性であることが示された。

4. おわりに

Cu-Cu 接合の新規接合プロセスとして NP-Cu を用いた接合について報告した。NP-Cu は電気めっきにより形成し, めっき条件を変量することで疎密度の制御に成功した。NP-Cu の接合条件を検討した結果, 焼結助剤を使用することで焼結が促進され緻密な膜が形成しシェア強度が大きく向上することが分かった。信頼性評価では温度サイクル試験, エレクトロマイグレーション試験ともに試験前後の電気抵抗の変化率は 10%以下であり良好な結果が得られた。これらは NP-Cu が接合体として有用であることを示唆する結果であり, CMP などを使用しないプロセスにて, バンプの小径化・狭ピッチ化の実現が期待される。

文 献

- 1) J. H. Lau, *J. Electron. Packag.*, **141**, 588-595 (2019).
- 2) R. Labie, et al., 3rd Electronics System Integration Technology Conference 2010, 1-5 (2010).
- 3) H. Y. You, Y. S. Lee and S. K. Kang, 61st Electronic Components and Technology Conference 2011, 608-611 (2011).
- 4) D. Furuyama, T. Nakagawa, J. Inoue, K. Tatsumi and T. Katase, 55th International Symposium on Microelectronics, (2022).
- 5) I. Radu, et al., 2010 International 3D Systems Integration Conference, 1-6 (2010).



森 優太郎 Yutaro MORI
イノベーションセンター 開発 PMO-E3